

Exercícios – OAC

Barramentos (Capítulo 3)

1. O que caracteriza a técnica de multiplexação em um barramento? Que possível vantagem esta técnica acarreta?
2. Qual a função de um árbitro de barramento? De que formas pode ser implementado?
3. Que tipos de transferências um barramento deve suportar?
4. O que significa E/S mapeada em memória?
5. Considere um processador de 32 bits, cujas instruções de 32 bits são compostas de dois campos: o primeiro byte contém o código de operação e os demais contêm um operando imediato ou um endereço de operando.
 - a. Qual a quantidade de palavras endereçáveis?
 - b. Qual a capacidade total da memória?
6. Considere um computador com palavras de 16 bits com uma unidade de memória de 2048 bytes. Qual é a quantidade de linhas do barramento de endereço necessárias para endereçar todas as palavras?
7. Considere um microprocessador de 32 bits, com um barramento de dados externos de 16 bits, dirigido por um relógio de 8MHz. Suponha que esse microprocessador tenha um ciclo de barramento cuja duração mínima é de 4 ciclos de relógio. Qual é a taxa máxima de transferência de dados que esse microprocessador pode sustentar? Para aumentar seu desempenho, seria melhor aumentar a largura do seu barramento de dados externo para 32 bits ou dobrar a frequência do relógio?

Memória Interna (Capítulo 4)

1. Desenhe a pirâmide que representa uma hierarquia de memórias. Agora responda:
 - a. Por que se utiliza uma hierarquia de memórias em um computador?
 - b. Qual é a relação entre o desenho e os fatores tempo de acesso, custo e capacidade?
2. Quais as diferenças entre acesso direto, sequencial e randômico?
3. Quais são as principais diferenças entre memórias dinâmicas e estáticas?
4. O que é uma memória volátil? E uma não volátil?
5. Quais os principais tipos de memória ROM? Monte o quadro mostrando a diferença entre elas.
6. Quais é a diferença, em termos de endereço, capacidade e total de bits, entre as seguintes organizações de MP?
 - a. Memória A: 32K células de 8 bits cada;
 - b. Memória B: 16K células de 16 bits cada; e
 - c. Memória C: 16K células de 8 bits cada?
7. Descreva passo a passo uma operação de leitura em memória.
8. Um computador possui uma de memória principal com 32K células, cada uma capaz de armazenar uma palavra de 8 bits. Pergunta-se:
 - a. Qual o maior endereço de memória?

- b. Qual o tamanho do barramento de endereços deste sistema?
 - c. Qual é o total de bits que podem ser armazenados nesta memória?
9. De que depende fundamentalmente a determinação da quantidade máxima de posições de memória que um processador consegue endereçar?
 10. Uma imagem pode ser representada por uma matriz de pontos armazenada na memória de um computador. Cada ponto possui uma indicação de cor associada a ela; essa cor precisa de 4 bytes para ser representada. Baseado nessas informações pede-se:
 - a. A quantidade de memória, em bytes, necessária para armazenar uma imagem 640x420 pontos;
 - b. A quantidade de memória, em megabytes, necessária para armazenar 10 imagens semelhantes à esta;
 - c. Quantas imagens como esta poderiam ser armazenadas na memória de um computador com 128 MB de memória RAM?
 11. Projete uma memória com palavras de 16 bits, com capacidade total de 8192 bits, usando pastilhas de tamanho 64x1 bit. Determine a configuração das pastilhas na placa de memória, mostrando todos os sinais de entrada e saída necessários para associar essa memória à parte inferior do espaço de endereçamento.
 12. O que significa a expressão EEC - código de correção de erros?
 13. Suponha que uma palavra de 8 bits armazenada em memória seja 11000010. Use o algoritmo de Hamming para determinar os bits de verificação que serão armazenados com os dados.
 14. Os bits de verificação armazenados com palavras de 8 bits 00111001 são 0111. Suponha que, quando a palavra é lida da memória, os bits de verificação são calculados como 1101. Qual é a palavra de dados lida da memória?
 15. Desenvolva um código de correção de erros para uma palavra de 16 bits. Gere o código para a palavra de dados 010100000111001. Utilizando este código, mostre como pode-se identificar um erro ocorrido no quarto bit de dados.
 16. Uma cache associativa por conjunto consiste em 256 linhas divididas em conjuntos de 2 linhas cada. A memória principal contém 4K blocos com 4 palavras de 32 bits cada. Mostre o formato de um endereço de MP e da cache.
 17. Considere um sistema de computação que possui uma memória principal com capacidade de endereçamento de 64K células. Para criar um sistema de controle e funcionamento da cache, a memória principal é constituída de blocos de 8 palavras cada. A memória é do tipo mapeamento direto, contendo 32 linhas. Pergunta-se
 - a. Como seria organizado o endereço da MP em termos de tag, número da linha e palavra?
 - b. Em que linha estaria contido a palavra armazenada no endereço 0001 0001 0001 1011?
 18. Considere uma MP que possui 4K blocos de 128 células e uma memória do tipo associativa por conjunto que possui 64 linhas divididas em conjuntos de quatro linhas. Qual deverá ser o formato do campo de endereçamento?
 19. Considere um sistema que utiliza mapeamento direto na sua cache e o formato dos endereços é:

TAG	Linha	Palavra
8 bits	12 bits	4 bits

Pergunta-se:

- a. Qual a capacidade da MP, em bytes, se cada palavra possui 24 bits?
- b. Quantas linhas possui a memória cache?
- c. Quantas células possui cada bloco/linha?

20. Supondo o um sistema utilize o método de mapeamento associativo por conjunto de 4 linhas e que o formato do endereço de cache é:

TAG	Conjunto	Palavra
8 bits	8 bits	4 bits

- a. Qual a capacidade, em bytes, de armazenamento da MP, se cada palavra possui 24 bits?
- b. Quantas linhas possui a memória cache?
- c. Quantos conjuntos possuía memória cache?
- d. Quantas células possui cada bloco/linha?